

Family list

1 family member for:

JP60134468

Derived from 1 application.

1 SEMICONDUCTOR DEVICE

Publication info: JP60134468 A - 1985-07-17

Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DEVICE

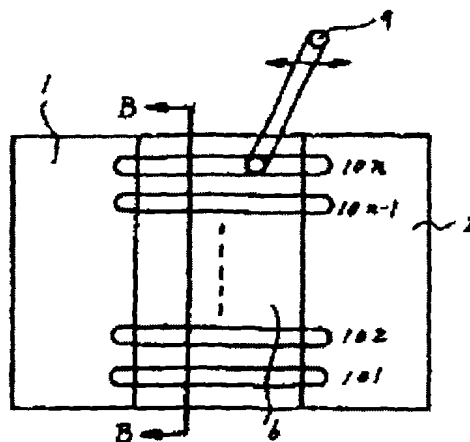
Patent number: JP60134468
Publication date: 1985-07-17
Inventor: SUNAMI HIDEO; YADORI SHIYOUJI; TAMURA MASAO
Applicant: HITACHI LTD
Classification:
 - international: **H01L29/10; H01L29/02;** (IPC1-7): H01L29/78
 - european: H01L29/10D2B2
Application number: JP19830242022 19831223
Priority number(s): JP19830242022 19831223

Report a data error here

Abstract of JP60134468

PURPOSE: To obtain an MOS transistor having extremely high accuracy by forming at least one microchannel extending over source and drain regions in a substrate-surface region in a channel constituting an FET.

CONSTITUTION: An N<+> type source region 1 and N<+> type drain region 2 are formed on a P type Si substrate, boron concentration in a channel region 6 positioned between these regions 1 and 2 is brought to $5 \times 10^{17} \text{ cm}^{-2}$, and the threshold voltage of a transistor is brought to approximately 6V. As micro-ion beams 9 under conditions of 0.1 mumpsi, 5 pA and 200 keV are scanned by n number extending over the regions 2 and 3, and n microchannels 10 are formed by ions of $3 \times 10^{17} \text{ number/cm}^2 \cdot \text{sec}$. When the beams 9 are scanned so that As concentration in the microchannels 10 reaches to $4.9 \times 10^{17} \text{ cm}^{-2}$ at that time, impurity concentration reaches to 1×10^{16} and threshold voltage drops to 1.5V because As mutually compensates with previously existing B. When As concentration is further increased, currents flow between the regions 1 and 2 even when gate voltage is zero, and a depletion type is obtained.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-134468

⑬ Int. Cl.⁴
H 01 L 29/78

識別記号 庁内整理番号
8422-5F

⑭ 公開 昭和60年(1985)7月17日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭58-242022

⑰ 出 願 昭58(1983)12月23日

⑱ 発 明 者 角 南 英 夫 国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 宿 利 章 二 国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑳ 発 明 者 田 村 誠 男 国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉒ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体装置

特許請求の範囲

電界効果トランジスタのチャネルの基板表面領域にソースとドレインにまたがるように少なくとも1本のマイクロチャネルを形成した半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明はMOSトランジスタに係り、特に高精度のトランジスタを形成するに好適なトランジスタ構造に関する。

〔発明の背景〕

従来MOSトランジスタの性能、特に増幅率に対応する相互コンダクタンス g_m は、次式のように表わされた。

$$g_m \propto \frac{W}{L} I(N_e) \quad \dots\dots\dots(1)$$

ここで L 、 W はそれぞれMOSトランジスタの突効チャネル長と突効チャネル幅であり、 $I(N_e)$ はチャネルとその近傍の空乏層内の不純物濃度分

布による函数である。

第1図にトランジスタの平面図を示す。トランジスタはソース1、ドレイン2、ゲート3で構成されており、それぞれチャネル長方向断面AA、チャネル幅方向断面BBを第2図と第3図に示す。第2図に示すようにB1に代表される基板4上に、調整したトランジスタと電気的に分離する基板4と同導電型の不純物濃度の高いチャネルストッパ-8とフィールド酸化膜5が形成され、基板4と逆導電型のソース1、ドレイン2を形成する。ソース1とドレイン2の端部間距離がおよそ突効チャネル長 L となる。またソース1とドレイン2は多結晶S1で代表されるゲート3と自己整合で形成されるためゲート長 L_g と L との関係は次の(2)式のように表わされる。すなわち

$$L = L_g - \Delta L \quad \dots\dots\dots(2)$$

ここで ΔL は L_g のオフセット分であり、およそ次のように表わされる。

$$\Delta L \approx 2X_j \quad \dots\dots\dots(3)$$

ここで X_j はソース1とドレイン2の接合深さ

である。

また第3図に示すようにチャネル幅方向では、通常LOCOS法によるフィールド酸化膜5がチャネル領域6に侵入し、実効チャネル幅 W は次のように表わされる。

$$W = W_g - \Delta W \quad \dots\dots\dots(4)$$

ここで ΔW は W_g のオフセット分で、通常はLOCOSフィールド酸化膜5の侵入分と、高濃度のチャネルストッパ8の侵入分の加わつたものである。

以上の式より、トランジスタの g_m はおよそ次のように表わされる。

$$g_m \approx \frac{W_g - \Delta W}{L_g - 2X_j} f(N_c) \quad \dots\dots\dots(5)$$

すなわちトランジスタの g_m はゲート幅 W_g とゲート長 L_g によつて大きく変化する。 W_g 、 L_g は、通常リソグラフィとエッチングの精度によつて変化するので、トランジスタの g_m もまたリソグラフィとエッチングの精度によつて変化し、所望の g_m を高精度に実現するのは極めて困難と

いえる。

また第4図に示すように L_g が小さくなると、MOSトランジスタのしきい電圧 V_T が低下する短チャネル効果が現われる。さらに W_g が小さくなると V_T が急激に上昇する狭チャネル効果が発生する。これは第3図に示したチャネルストッパの高不純物濃度領域8が W_g が小さくなるとチャネル全体を覆うようになるからである。

また、本来第(1)式に示したように $1/g_m$ は $L_g - \Delta L$ ($\approx 2X_j$) に比例するはずであるが実際には第5図に示すように L_g の小さい部分で短チャネル効果のため比例しなくなる。

従つて以上述べてきた従来のMOSトランジスタの性能を高精度に形成するのは困難である。特に互いの g_m を m 倍に形成することを目的とし、一方のトランジスタの L_g を $1/m$ 倍、あるいは一方のトランジスタの W_g を m 倍にしても、それぞれオフセット分 ΔL 、 ΔW のため m 倍とならない。すなわち

$$\frac{g_{m(1)}}{g_{m(2)}} = \frac{L_{g1} - \Delta L}{L_{g2} - m\Delta L} \approx \frac{mL_{g1} - m\Delta L}{L_{g2} - m\Delta L} \approx m$$

$$\frac{g_{m(1)}}{g_{m(2)}} = \frac{mW_{g1} - \Delta W}{W_{g2} - \Delta W} \approx m$$

である。

〔発明の目的〕

本発明の目的はこのような従来トランジスタの欠点を除去し、極めて高精度のMOSトランジスタを形成する技術を提供することにある。

〔発明の概要〕

本発明は、チャネル端部の影響を除去することによつて目的を達成するものであり、具体的にはチャネル長方向に n 本のマイクロチャネルを形成することによつて1本のマイクロチャネルで規定されるトランジスタの g_m の n 倍の g_m を得る。特に、2つのトランジスタの g_m 比を m とするには、

$$m = \frac{n_1}{n_2} \quad \dots\dots\dots(6)$$

とし、マイクロチャネルの数の比で規定しうるよ

うにする。

〔発明の実施例〕

第6図に平面図を示すようにp型8 Ω 基板に n^+ 層のソース1とドレイン2を形成し、これらの間のチャネル領域6は、 $5 \times 10^{17} \text{ cm}^{-2}$ のB濃度とする。これによつて500 \AA ゲート酸化膜7のトランジスタの V_T は約6Vとなる。この後、 $0.1 \mu\text{m}$ 、5pA、200K \approx VのA \approx のマイクロイオンビーム9をソース1・ドレイン2にまたがるように n 本走査すると $3 \times 10^{17} \text{ け/cm}^2$ のイオンによつてマイクロチャネル10が n 本形成しうる。このときマイクロチャネル内のA \approx の濃度が $4.9 \times 10^{17} \text{ cm}^{-2}$ となるように走査するとすでに存在していたBと補償し合つて結果的には不純物濃度が 1×10^{16} となり、 V_T は1.5Vに低下しうる。さらにA \approx 濃度を高めると、ゲート電圧 $V_g = 0$ でもソース・ドレイン間に電流が流れるいわゆるdepletion 型トランジスタとなる。どちらを選択するかは用途によつて定めればよい。

また本トランジスタのチャネル幅方向の断面

特開昭60-134468(3)

BBを第7図に示す。マイクロチャネル101～10nは互いにその不純物が重なり合わない方が、一本一本の独立性が保たれて高精度化には都合がよいが、第8図に示すように互いに重なり合っても目的は達成しうる。その理由はトランジスタの性能はチャネル領域に添加した不純物総量に依存する割合が大きいからである。

本発明の他の実施例を第9図に示す。上記の実施例ではマイクロイオンビーム9によつてマイクロチャネル10を形成したが、通常のリソレジスト11を加工した後、全体にA⁺のイオン打込みを行つても同様に101～10nのマイクロチャネルが形成しうる。ただし、レジスト加工は光を用いると0.5μm程度が限界の解像力になるので、マイクロイオンドーピング微細化は困難だが、ウエハ全面に同時にイオン打込みができるので、マイクロイオンドーピングよりスループットが高い。

以上本発明の説明にはいわゆるロチャネル型トランジスタを用いたが、これをpチャネル型にす

るにはすべての不純物の導電型を逆にすればよく、また、MOBのような絶縁ゲート型だけでなく、接合型のような電界効果トランジスタも同様に本発明を適用できる。

また、基板もバルクSiに限ることなく、絶縁膜上のSi結晶いわゆるSOI(Si On Insulator)にも適用しうる。

また基板もSiに限ることなく、GaAsやGe等その材料を選ばない。

〔発明の効果〕

以上述べたように本発明によれば、一本分のマイクロチャネルの g_m を $n \cdot g_m$ とすればn本のマイクロチャネルによつて $n \cdot g_m$ のトランジスタを得ることができる。すなわち、 g_m 比のmの2つのトランジスタをうるには、一方のトランジスタに n_1 本、他方に n_2 本のマイクロチャネルを形成し

$$m = \frac{n_1}{n_2}$$

となるように、 n_1 、 n_2 を選べばよい。従つて、

リソグラフィやドライエッチングなどの加工精度、LOCOS法等によるフィールド酸化膜の侵入およびチャネルストップの侵入等の影響をほとんど受けない極めて高精度のトランジスタを得ることができる。さらに互いの g_m 比を高精度に形成するに特に効果がある。

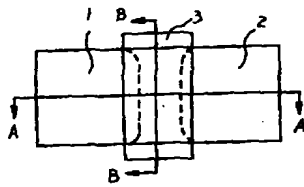
図面の簡単な説明

第1図は従来のトランジスタの平面図、第2図と第3図は第1図のそれぞれAA部断面図とBB部断面図、第4図、第5図はトランジスタの特性を示す図、第6図は本発明の実施例の平面図、第7図～第9図は第6図のBB部断面図で、夫々異なる実施例を示す。

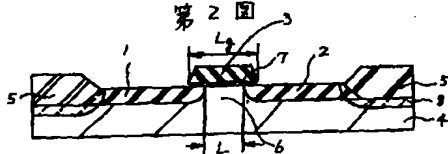
1…ソース、2…ドレイン、3…ゲート、4…基板、5…フィールド酸化膜、6…チャネル、7…ゲート絶縁膜、8…チャネルストップ、9…マイクロイオンビーム、10、101、102、10n…マイクロチャネル、11…ホトレジスト。

代理人 弁理士 高橋明

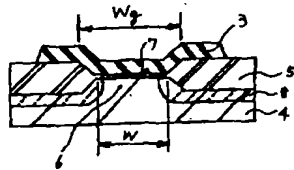
第1圖



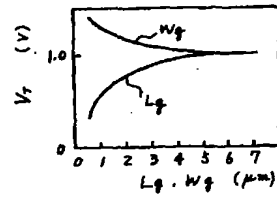
第2圖



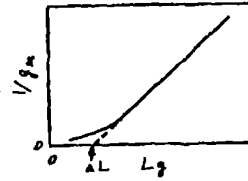
第3圖



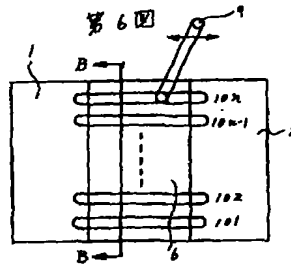
第4圖



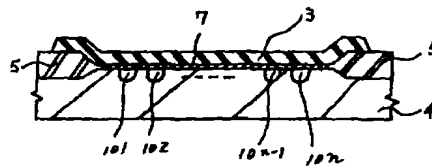
第5圖



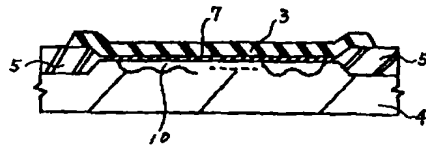
第6圖



第7圖



第8圖



第9圖

